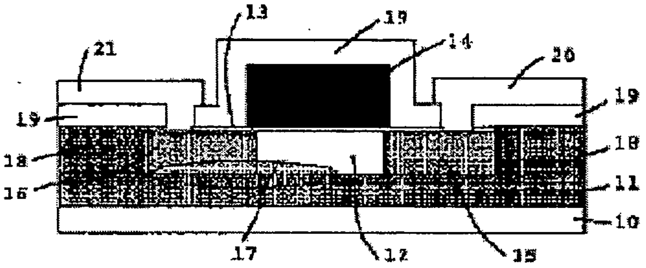
MOS TRANSISTOR AND ITS MANUFACTURE

Patent number: JP2001053280
Publication date: 2001-02-23
Inventor: OKI ICHIRO
Applicant: SHARP CORP
Classification:
- international: H01L29/786; H01L21/8238; H01L27/092; H01L27/08
- european:
Application number: JP19990224067 19990806
Priority number(s):

Report a data error here

Abstract of **JP2001053280**

PROBLEM TO BE SOLVED: To provide a MOS transistor and a method of manufacturing it, where a substrate bias effect peculiar to an SOI substrate ca be restrained without increasing a MOS transistor formed on the SOI substrate in element area or in junction leakage caused by crystal defects. SOLUTION: A MOS transistor is equipped with an SOI substrate, composed of a support substrate 10 and a buried insulating film 11 and a body region 12 provided to the substrate 10, a gate electrode 14 formed on the body region 12 trough the intermediary of a gate insulating film 13, and a drain region 15 and a source region 16 are formed in the body region 12 sandwiching the gate electrode 14 between them, where the source region 16 is equipped with an source region 17 extended in the direction of the drain region 15 along an interface between the buried insulating film 11 and the body region 12.



Data supplied from the ***esp@cenet*** database - Patent Abstracts of Japan

BEST AVAILABLE COP

(19) 日本国特許庁（ＪＰ）

(12) **公開特許公報**（Ａ）

(11) 特許出願公開番号
特開2001－53280
（P2001－53280A）

(43) 公開日 平成13年２月23日(2001.2.23)

(51)Int.Cl.⁷		識別記号	ＦＩ			テーマコード˚(参考)
Ｈ０１Ｌ	29/786		Ｈ０１Ｌ	29/78	６２６Ｂ	５Ｆ０４８
	21/8238			27/08	３３１Ｅ	５Ｆ１１０
	27/092				３２１Ｅ	
	27/08	３３１		29/78	６１６Ｔ	

審査請求 未請求 請求項の数４ ＯＬ （全 ９ 頁）

(21) 出願番号 特願平11－224067

(22) 出願日 平成11年８月６日(1999.8.6)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 沖 一郎
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 100065248
弁理士 野河 信太郎

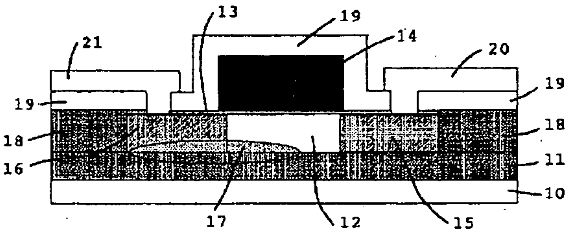
最終頁に続く

(54)【発明の名称】 ＭＯＳトランジスタ及びその製造方法

(57)【要約】

【課題】ＳＯＩ基板に形成したＭＯＳトランジスタの素子面積や結晶欠陥によるジャンクションリークを増加させることなく、ＳＯＩ基板に特有に現れる基板バイアス効果を抑制することができるＭＯＳトランジスタ及びその製造方法を提供することを目的とする。

【解決手段】 支持基板１０上に埋め込み絶縁膜１１及びボディ領域１２が積層されてなるＳＯＩ基板と、ボディ領域１２上にゲート絶縁膜１３を介して形成されたゲート電極１４と、ゲート電極１４を挟むようにボディ領域１２の一方に形成されたドレイン領域１５と他方に形成されたソース領域１６とからなり、ソース領域１６が、埋め込み絶縁膜１１とボディ領域１２との界面に沿ってドレイン領域１５方向に延設された拡張ソース領域１７を備えてなるＭＯＳトランジスタ。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項１】　支持基板上に埋め込み絶縁膜及びボディ領域が積層されてなるＳＯＩ基板と、ボディ領域上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を挟むように前記ボディ領域の一方に形成されたドレイン領域と他方に形成されたソース領域とからなり、
前記ソース領域が、前記埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を備えてなることを特徴とするＭＯＳトランジスタ。

【請求項２】　拡張ソース領域が、ソース領域の不純物濃度よりも低い不純物濃度に設定されてなる請求項１に記載のＭＯＳトランジスタ。

【請求項３】　（ａ）支持基板上に埋め込み絶縁膜及びボディ領域が積層されてなるＳＯＩ基板上に、ゲート絶縁膜を介してゲート電極を形成し、
（ｂ）前記ボディ領域内のソース領域形成領域に砒素及びリンをイオン注入し、リンが前記ボディ領域内で増速拡散する温度で、所定時間熱処理して前記埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を有するソース領域を形成し、
（ｃ）前記ボディ領域内のドレイン領域形成領域に砒素及び／又はリンをイオン注入し、前記温度よりも高温で、前記所定時間よりも短時間熱処理してドレイン領域を形成することを特徴とするＭＯＳトランジスタの製造方法。

【請求項４】　工程（ｃ）において、ドレイン領域形成領域と同時にソース領域にもイオン注入し、同じ温度及び時間で熱処理する請求項３に記載の方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、ＭＯＳトランジスタ及びその製造方法に関し、より詳細には、ソース領域に拡張領域を付加することにより基板バイアス効果が低減されたＭＯＳトランジスタ及びその製造方法に関する。

【０００２】

【従来の技術及び発明が解決しようとする課題】従来から、低電源電圧動作におけるＣＭＯＳ　ＬＳＩの低消費電力化及び高速化には、シリコン基板上に埋め込み酸化膜及びシリコン単結晶膜からなるボディ領域を有するＳＯＩ（Silicon On Insulator）基板を用い、このＳＯＩ基板上にＣＭＯＳを形成することが有効であることが知られており、ＳＯＩ基板を使用した各種の半導体装置が、マルチメディア関連の機器、例えば携帯電話や、携帯端末機器等へ応用されている。

【０００３】ＳＯＩ基板に形成したＭＯＳトランジスタは、バルクシリコンに形成したＭＯＳトランジスタに比べ、低消費電力化及び高速化が実現される。この最大の理由は、ＳＯＩ基板の埋め込み酸化膜によって半導体素子の接合容量等の寄生容量が減少するためである。さらに詳細に説明すると、以下のようである。

【０００４】ＣＭＯＳ　ＬＳＩの消費電力（Ｐ）及び信号遅延時間（τ）は次式で表される。

$$P = C_{load} \cdot Vdd \cdot f \quad \cdots\cdots \quad (1)$$

$$\tau = C_{load} \cdot Vdd / I_{DSAT} \quad \cdots\cdots \quad (2)$$

（C_{load}は回路の負荷容量、Ｖddは電源電圧、ｆは動作周波数、I_{DSAT}は飽和ドレイン電流である。）

【０００５】ゲート絶縁膜容量をC_{ox}、ゲート幅をＷ、ゲート長をＬ、キャリア移動度をμ、ＭＯＳトランジスタのしきい値をＶthとすれば、飽和ドレイン電流I_{DSAT}は、

$$I_{DSAT} = W \cdot \mu \cdot C_{ox} / L \cdot (Vdd - Vth)^2$$

と表される。

【０００６】ＳＯＩ基板に形成したＭＯＳトランジスタでは、埋め込み酸化膜下の空乏層容量によってソース・ドレイン接合容量が減少するために、前記（１）式においてC_{load}が減少して消費電力が低減する。また、埋め込み酸化膜上のシリコン単結晶からなるボディ領域が完全に空乏化される。ＦＤ（Fully Depleted）モードでは、ボディ領域容量と埋め込み酸化膜容量とが直列接続されるためにトータルの寄生容量が減少するために、ゲート電圧がゲート絶縁膜容量に有効に印加される。これにより、ＳＯＩ基板に形成したＭＯＳトランジスタのサブスレッショルド特性が急峻になり、同一オフ電流におけるしきい値電圧（Ｖth）が減少し、前記（２）式においてI_{DSAT}が増加して信号遅延時間が低減される。

【０００７】しかし、ＭＯＳトランジスタが形成されたＳＯＩ基板上のボディ領域は、埋め込み酸化膜と素子分離膜で囲まれて電気的に浮遊状態になっているために電荷がたまりやすく、蓄積電荷による基板電位の影響を受けやすいという問題がある。これらの影響は基板バイアス効果と呼ばれる。ＭＯＳトランジスタではドレイン近傍の強い電界によって電子が高いエネルギーを得てインパクトイオン化を引き起こすが、ＳＯＩ基板に形成したＭＯＳトランジスタの場合、インパクトイオン化によって発生した正孔がボディ領域に蓄積されやすく、ボディ領域が正バイアスされる。ボディ領域での正孔の蓄積は、ソース端の正孔に対する電位の障壁（Φｈ）がＰＤ（Partially Depleted）モードのＳＯＩ　ＭＯＳトランジスタで顕著である。この場合、ボディ領域が正バイアスされて、ＭＯＳトランジスタのしきい値電圧が低下し、ドレイン電圧－ドレイン電流特性（Ｖｄｓ－Ｉｄｓ特性）においてＩｄｓが異常増加するキンク現象が生じる。ソース端の正孔に対する電位の障壁が低いＦＤ（Fully Depleted）モードではＰＤ（Partially Depleted）モードのようなキンクは現れないが、インパクイオン化によって発生した多数キャリアがベース電流となり、寄生バイポーラトランジスタが動作して、ソース－ドレイン間耐圧の低下や、オフ電流の増加をもたらす。

【０００８】この問題を解決する方法として、ボディ領域に基板コンタクトを取ることによってボディ領域の正孔を逃がし、ＳＯＩ素子における上記の基板バイアス効果をなくすことが可能である。しかし、この方法では、ボディ領域へのコンタクトをとる領域分の面積が増加するために、ＬＳＩの高集積化の妨げとなる。

【０００９】一方、素子面積を増加させずに基板バイアス効果を抑制する方法として、ソース／ドレイン領域に結晶欠陥を導入する方法が考案されている。例えば、特開平9-219528号公報及び文献（T.Ohno,M.Takahashi,A.Ohtaka,Y.Sakakibara and T.Tsuchiya:“Suppression of the Parasitic Bipolar Effect in Ultra-Thin-FilmnMOSFETs/SIMOX by ArIon Implantation into Source/Drain Regions ”:IEDMTech.Dig.pp627-630(1995)）には、図５に示したように、シリコン基板１０上に順次形成された埋め込み酸化膜１１とｐ型シリコン単結晶からなるボディ領域１２とから構成されるＳＯＩ基板の上に、ゲート絶縁膜１３と、ゲート電極１４とが形成され、ボディ領域１２内に、ゲート電極１４を挟むようにに形成されたドレイン１５とソース１６とから構成されるＳＯＩ　ＭＯＳトランジスタにおいて、ドレイン１５、ソース１６中にＡｒ等の希ガスイオンを注入して、結晶欠陥層５０を形成する方法が記載されている。この方法ではアルゴンイオンによって導入された結晶欠陥が電子と正孔の再結合中心として働き、正孔が消滅してボディ領域への蓄積が緩和される。

【００１０】しかし、このＳＯＩ　ＭＯＳトランジスタには以下の問題がある。つまり、アルゴンイオン注入によってソース１６、ドレイン１５に導入された結晶欠陥がボディ領域１２で発生した正孔の再結合中心として働くためには、結晶欠陥層５０を、ソース１６及びドレイン１５の接合面から少数キャリアである正孔の拡散長以内の距離に配置する必要があるが、この距離は数十ｎｍ程度と非常に短いために、イオン注入とアニールによって制御することが極めて困難である。この結晶欠陥層５０がソース１６またはドレイン１５の接合面を横切ってしまうと、ソース１６、ドレイン１５のジャンクションリークが著しく増加して、ＭＯＳトランジスタ特性を劣化させるという問題が生じる。

【００１１】また、素子面積を増加させずに基板バイアス効果を抑制する他の方法は、ソース、ドレインの正孔に対する電子障壁（Φｈ）を低下させることである。例えば、特開平8-213622号公報及び文献（M.Yoshimi, M.Terauchi, A.Murakoshi, M.Takahashi, K.Matsuzawa, N.Shigyo and Y.Ushiku:“Technology Trends ofsilicon-On-Insulator-It's advantages and problems to be Solvde ”IEDM Tech.Dig.Pp429-432(1994) ）には、図３に示したように、シリコン基板１０上に順次形成された埋め込み酸化膜１１とｐ型シリコン単結晶からなるボディ領域１２とから構成されるＳＯＩ基板の上に、ゲート絶縁膜１３と、ゲート電極１４とが形成され、ボディ領域１２内に、ゲート電極１４を挟むように形成されたドレイン１５とソース１６とから構成されるＳＯＩ　ＭＯＳトランジスタにおいて、ドレイン１５とソース１６との中にゲルマニウム（Ｇｅ）イオンによるＳｉＧｅ層６０を形成する方法が記載されている。この方法では、ソース１６、ドレイン１５をＳｉＧｅ、ＳｉＳｎ又はＰｂＳ層にすることでソース１６、ドレイン１５の正孔に対する電子障壁（Φｈ）を低下させ、ひいてはソース１６に正孔が流入しやすくなり、正孔の蓄積を防止することができる。しかし、この方法では、ゲルマニウム（Ｇｅ）や鉛（Ｐｂ）を使用することによる工程や装置の煩雑化と工程のクロスコンタミネーションの問題が生じる。

【００１２】本発明は上記課題に鑑みなされたものであり、ＳＯＩ基板に形成したＭＯＳトランジスタの素子面積や結晶欠陥によるジャンクションリークを増加させることなく、ＳＯＩ基板に特有に現れる基板バイアス効果を抑制することができるＭＯＳトランジスタ及びその製造方法を提供することを目的とする。

【００１３】

【課題を解決するための手段】本発明によれば、支持基板上に埋め込み絶縁膜及びボディ領域が積層されてなるＳＯＩ基板と、ボディ領域上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を挟むように前記ボディ領域の一方に形成されたドレイン領域と他方に形成されたソース領域とからなり、前記ソース領域が、前記埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を備えてなるＭＯＳトランジスタが提供される。

【００１４】また、本発明によれば、（ａ）支持基板上に埋め込み絶縁膜及びボディ領域が積層されてなるＳＯＩ基板上に、ゲート絶縁膜を介してゲート電極を形成し、（ｂ）前記ボディ領域内のソース領域形成領域に砒素及びリンをイオン注入し、リンが前記ボディ領域内で増速拡散する温度で、所定時間熱処理して前記埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を有するソース領域を形成し、（ｃ）前記ボディ領域内のドレイン領域形成領域に砒素及び／又はリンをイオン注入し、前記温度よりも高温で、前記所定時間よりも短時間熱処理してドレイン領域を形成するＭＯＳトランジスタの製造方法が提供される。

【００１５】

【発明の実施の形態】本発明のＭＯＳトランジスタは、基本的に、支持基板上に埋め込み絶縁膜及びボディ領域がこの順に積層されてなるＳＯＩ基板と、ボディ領域上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を挟むようにボディ領域の一方に形成されたドレイン領域と他方に形成されたソース領域とから構成され

る。ここで、ＳＯＩ基板としては、通常使用される材料、構造、膜厚等であれば特に限定されるものではなく、例えば、貼り合わせＳＯＩ（ＢＥＳＯＩ）、ＳＩＭＯＸ（Separation by Implantation of Oxygen）型基板等として用いられるものが挙げられる。

【００１６】支持基板としては、例えば、シリコン、ゲルマニウム等の元素半導体基板、ＧａＡｓ、ＡｌＮ、ＺｎＳｅ、ＣｄＴｅ等のIII－V族又はII－VI族等の化合物半導体、サファイア、石英、ガラス、プラスチック等の絶縁性基板等、種々の基板を使用することができる。なかでも、シリコンが好ましく、特に、単結晶シリコンが好ましい。

【００１７】埋め込み絶縁膜としては、例えばＳｉＯ$_2$膜、ＳｉＮ膜等が挙げられる。なかでもＳｉＯ$_2$膜が好ましい。この際の膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して適宜調整することができるが、例えば、１００～４００ｎｍ程度が挙げられる。

【００１８】ボディ領域は、トランジスタを形成するための活性層として機能する半導体薄膜であり、シリコン、ゲルマニウム等の元素半導体、ＧａＡｓ、ＡｌＮ、ＺｎＳｅ、ＣｄＴｅ等のIII－V族又はII－VI族等の化合物半導体等による薄膜で形成することができる。なかでもシリコン薄膜、特に単結晶シリコン薄膜が好ましい。ボディ領域の膜厚は、得られる半導体装置の特性等を考慮して、例えば、後述するトランジスタのソース／ドレイン領域の接合深さ、表面半導体層表面のチャネル領域の深さ、不純物濃度等の種々のパラメータによって、適宜調整することができ、３０～１００ｎｍ程度が挙げられる。なお、ボディ領域には、後述するようにソース／ドレイン領域が形成される他、チャネル領域が形成されることとなるため、不純物濃度（例えば、リン、砒素等のＮ型又はボロン等のＰ型）は、得ようとする半導体装置の閾値に対応するように設定されていることが好ましい。

【００１９】ボディ領域上に形成されるゲート絶縁膜及びゲート電極は、通常、半導体装置において用いられる材料、膜厚等であれば特に限定されるものではなく、例えば、ゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜等により、膜厚３～１０ｎｍ程度で形成することができ、ゲート電極は、ポリシリコン；Ｗ、Ｔａ、Ｔｉ、Ｍｏ等の高融点金属のシリサイド；これらシリサイド（例えばＭｏＳｉ$_2$、ＷＳｉ$_2$）とポリシリコンとからなるポリサイド；その他の金属等により、膜厚１００～２００ｎｍ程度で形成することができる。なお、ゲート電極は、ソース／ドレイン領域形成のための不純物の横方向への拡散等を考慮して、絶縁膜によるサイドウォールスペーサを有していてもよい。

【００２０】ゲート電極を挟むようにボディ領域に形成されるソース／ドレイン領域は、ボディ領域の膜厚に匹敵する接合深さで形成されていることが好ましい。その不純物はＮ型又はＰ型のいずれでもよいが、製造方法の簡便さ、実用性等を考慮すればＮ型、例えば砒素、リンであることが好ましい。不純物濃度は特に限定されるものではなく、例えば、Ｎ型（又はＰ型）の不純物を、1×10^{20}～1×10^{21}ａｔｏｍｓ／ｃｍ^{3}程度含有することが挙げられる。なお、ソース／ドレイン領域は、同程度の不純物を含有することが好ましいが、動作に支障が生じない限り、製造方法によって、ドレイン領域とソース領域との不純物濃度が異なっていてもよい。また、ソース／ドレイン領域は、ＬＤＤ構造を有していてもよい。さらに、ソース領域は、埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を備える。ここで、拡張ソース領域は、例えば、Ｎ型（又はＰ型）の不純物濃度がソース領域よりも低いことが好ましく、例えば、1×10^{19}～1×10^{20}ａｔｏｍｓ／ｃｍ^{3}程度が挙げられる。また、拡張ソース領域は、例えば、幅がソース領域の接合深さの１０～３０％程度、長さが全チャネル領域の３０～５０％程度の形状で形成することができる。

【００２１】また、本発明の製造方法によれば、工程（ａ）において、支持基板上に埋め込み絶縁膜及びボディ領域が積層されてなるＳＯＩ基板上に、ゲート絶縁膜を介してゲート電極を形成する。ここで形成するゲート絶縁膜及びゲート電極は、通常ＭＯＳトランジスタを形成する場合の公知の材料で、公知の方法によって形成することができる。

【００２２】工程（ｂ）において、ボディ領域内のソース領域形成領域に、砒素及びリンをイオン注入する。この場合のイオン注入は、ソース領域形成領域にのみイオン注入することができるように、公知の方法により、レジスト等を用いた注入マスクを用いて行うことが好ましい。このイオン注入は、後の熱処理によって、ソース領域と上述したような拡張ソース領域とを形成することができるように行うことが必要であり、例えば、砒素イオンを、５～１０ｋｅＶ程度の加速エネルギー、5×10^{14}～5×10^{15}ａｔｏｍｓ／ｃｍ^{2}程度のドーズで、リンイオンを、１０～２０ｋｅＶ程度の加速エネルギー、5×10^{13}～5×10^{14}ａｔｏｍｓ／ｃｍ^{2}程度のドーズで注入する方法が挙げられる。これらのイオン注入は、いずれを先におこなってもよい。なお、後述するように、後工程（ｃ）で、ドレイン領域形成領域へのイオン注入と同時にソース領域にもイオンが注入される場合には、最終的に得られるソース／ドレイン領域の不純物濃度を適切な濃度にするために、ここでの砒素イオンの注入は、5×10^{14}～5×10^{15}ａｔｏｍ／ｃｍ^{2}程度とすることが好ましい。

【００２３】イオン注入の後、リンがボディ領域内で増速拡散する温度で、所定時間熱処理する。ここで、リンがボディ領域内で増速拡散する温度とは、ボディ領域内

の空孔や格子間シリコン等の点欠陥が再結合して平衡状態になるまで、過渡的にリンが拡散する温度を意味する。リンの増速拡散の持続時間は、砒素及びリンのドーズ、加速エネルギー等によって変動するが、例えば、上記のドーズ、加速エネルギーの範囲では、７００℃で１２０分間、８００℃で３０分間、９００℃で１０分間、１０００℃で３０秒間程度であり、低温ほど顕著である。よって、ここでのリンがボディ領域内で増速拡散する温度は、イオン注入の条件、ボディ領域内の点欠陥の量等により適宜選択することができるが、例えば、１０００℃より低い温度、より好ましくは８００℃以下の温度、さらに好ましくは６００～８００℃程度の温度が挙げられる。

【００２４】また、所定時間とは、リンが増速拡散して所定の領域に拡張ソース領域を形成することができる時間を意味し、上述のように、リンが増速拡散を持続する時間内の所定の時間、例えば、上記温度に対応して、１２０分間～３０秒間、好ましくは１２０～１０分間、より好ましくは９０～３０分間程度が挙げられる。ここでの熱処理は、例えば、炉アニール、ランプラニール、レーザーアニール等の方法で行うことができる。これにより、埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を有するソース領域を形成することができる。

【００２５】工程（ｃ）において、ボディ領域内のドレイン領域形成領域に砒素及び／又はリンをイオン注入する。この場合のイオン注入は、ドレイン領域形成領域にのみイオン注入することができるように、公知の方法により、レジスト等を用いた注入マスクを用いて行うことができる。また、マスク形成工程を省略するために、マスクを用いずに、ドレイン領域形成領域へのイオン注入と同時に、同様にソース領域にイオン注入してもよい。この際のイオン注入は、例えば、砒素イオンであれば、１０～５０ｋｅＶ程度の加速エネルギー、５×１０^{14}～５×１０^{15}ａｔｏｍ／ｃｍ^{2}程度のドーズで、リンイオンであれば、１０～２０ｋｅＶ程度の加速エネルギー、５×１０^{13}～５×１０^{14}ａｔｏｍ／ｃｍ^{2}程度のドーズで注入する方法が挙げられる。なお、砒素イオン及びリンイオンの双方を用いる場合には、砒素イオンのみ又はリンイオンのみを用いる場合に準じて行うことができる。

【００２６】イオン注入の後、上記リンがボディ領域内で増速拡散する温度よりも高温で、所定時間よりも短時間熱処理する。ここで、リンがボディ領域内で増速拡散する温度よりも高温とは、ボディ領域内に注入された砒素を電気的に活性化させることができる温度を意味し、例えば、１０００℃以上、好ましくは１０００～１１００℃程度、より好ましくは１０２５～１０５０℃程度が挙げられる。また、所定時間より短時間とは、処理温度によって適宜調整することができるが、例えば、１０～６０秒間程度が挙げられる。ここでの高温、短時間の熱処理は、例えば、ＲＴＡにより実現することができる。

【００２７】上記のＭＯＳトランジスタの製造方法により、拡張ソース領域を有するソース領域を備えるＭＯＳトランジスタを形成することができ、基板バイアス効果を抑制することができる。具体的には、以下の説明による。

【００２８】通常、イオン注入後の熱処理の際に、不純物はイオン注入時に誘起された結晶欠陥と相互作用しながら拡散する。この場合の拡散速度は、空孔や格子間シリコン等の点欠陥が平衡濃度の場合の拡散に比べて増速される。この増速拡散は点欠陥が再結合して平衡状態になるまで持続するものであり、過渡的な増速拡散（ＴＥＤ：Transient Enhanced Diffusion）として知られている。よって、ボディ領域（例えば、シリコン）中のリン等は格子間シリコン等と対になって増速拡散を引き起こす。この増速拡散の持続時間は、例えば、７００℃で１２０分間であり、低温ほど顕著である。

【００２９】ＳＯＩ基板のソース領域にリン及び砒素をイオン注入すると、砒素注入によって発生する空孔と格子間シリコン等の濃度は砒素イオン濃度より大きくなる。よって、この後に、例えば、７００℃程度の低温で比較的長い時間アニールすると、砒素は増速拡散を起こさないが、リンは空孔や格子間シリコン等と相互作用して増速拡散を引き起こす。格子間シリコン等は、埋め込み酸化膜に接したソース領域の下部に過剰に発生しているので、リンの増速拡散はソース領域からドレイン領域に向かって、埋め込み酸化膜とボディ領域の界面に沿って進み、ボディ領域との界面にパイルアップすると同時に、ボディ領域との界面近傍の埋め込み酸化膜中に取りこまれる。これにより、埋め込み酸化膜とボディ領域との界面に延長した拡張ソース領域が形成されることとなる。なお、通常、ＭＯＳトランジスタでは、ソース領域とドレイン領域との距離は数百ｎｍ以上あるので、リンの増速拡散によって拡張されたソース領域によって、ソース領域とドレイン領域が短絡しないように、容易にアニールを制御することができる。

【００３０】この後、ドレイン領域に砒素を注入して、例えば、１０００℃程度のＲＴＡ（rapid Thermal Anneal）を行うと、ソース領域、ドレイン領域の砒素が電気的に活性化されると同時にソース領域のリン及び増速拡散によって埋め込み酸化膜とボディ領域との界面付近に拡散したリンも電気的に活性化する。さらに、このＲＴＡによってイオン注入時に誘起された空孔や格子間シリコン等の点欠陥を含む結晶欠陥が回復する。以下に、本発明のＭＯＳトランジスタ及びその製造方法を図面に基づいて説明する。

【００３１】本発明のＭＯＳトランジスタは、図１に示したように、シリコン基板１０上に埋め込み酸化膜１１及びｐ型シリコン単結晶からなるボディ領域１２が積層

されてなるＳＯＩ基板上に、ゲート絶縁膜１３を介してゲート電極１４が形成され、ボディ領域１２内にゲート電極１４を挟むように一方にドレイン領域１５と他方にソース領域１６が形成されている。このソース領域１６は、埋め込み酸化膜１１とボディ領域１２との界面に沿ってドレイン領域１５方向に延設された拡張ソース領域１７を備えている。また、ＭＯＳトランジスタは、ボディ領域１２の表面から埋め込み酸化膜１１に達する深さまで形成された素子分離膜１８によって他のＭＯＳトランジスタと電気的に分離されている。なお、このＭＯＳトランジスタは、表面がプラズマシリコン酸化膜１９に被覆されており、ソース領域１６及びドレイン領域１５には、それぞれソース電極２１及びドレイン電極２０が接続されて構成されている。上記ＭＯＳトランジスタは、以下の方法で製造することができる。

【００３２】まず、ＳＯＩ基板として、膜厚７００～８００μｍ程度の単結晶シリコンからなるシリコン基板１０に、加速エネルギー２００ｋｅＶ程度、ドーズ量４×10^{17}ｃｍ$^{-2}$程度で酸素（Ｏ）イオンをイオン注入し、１３００℃程度でアニールを行うことにより、シリコン基板１０上に、膜厚１００ｎｍ程度の埋め込み酸化膜１１及び膜厚１００ｎｍ程度のボディ領域１２を形成し、続いて、ＩＴＯＸ（Internal Thermal Oxidation ）によって、埋め込み酸化膜１１のピンホール密度を低減し、図２（ａ）に示したようなＳＩＭＯＸ（Separation by Implanted Oxygen）基板を準備した。

【００３３】このＳＯＩ基板のボディ領域１２を酸化することにより、シリコン酸化膜２２を形成した。この際のシリコン酸化膜２２は、ボディ領域１２において、所定の膜厚（最終的に６０ｎｍ程度）を確保できるように、ボディ領域１２の初期の膜厚を考慮して調整することができる。例えば、シリコン酸化膜２２の膜厚は６５ｎｍ程度であり、この場合のボディ領域１２のシリコンの消費量は３０ｎｍ程度である。よって、ボディ領域１２の膜厚は、７０ｎｍ程度となる。

【００３４】次いで、図２（ｂ）に示したように、希釈フッ酸（ＨＦ）または弗化アンモニウムを添加したバッファードフッ酸によって、ボディ領域１２上のシリコン酸化膜２２を除去した。その後、ＬＯＣＯＳ法やＳＴＩ（shallow trench isolation）法の素子分離技術を用いて、埋め込み酸化膜１１に達する深さの素子分離膜１８を形成した。なお希釈フッ酸または弗化アンモニウムを添加したバッファードフッ酸によってボディ領域１２上のシリコン酸化膜２２を除去する際、バッファードフッ酸に界面活性剤を添加すれば、シリコン酸化膜２２のオーバーエッチングの際のボディ領域１２の表面のエッチング荒れを抑制することができる。

【００３５】続いて、図２（ｃ）に示したように、ボディ領域１２上に熱酸化法によってゲート絶縁膜１３を形成し、引き続き減圧ＣＶＤ法によりリン（Ｐ）をドープした多結晶シリコン層を堆積して、フォトリソグラフィ及び反応性イオンエッチング法により、ゲート電極１４形成した。ここでは、ゲート絶縁膜１３は、８００℃、酸素と水素とを燃焼させるパイロジェニック酸化で形成し、膜厚を７ｎｍ程度とした。多結晶シリコン層中のリン（Ｐ）の不純物濃度は10^{20}ｃｍ$^{-3}$以上である。ゲート電極１４は、塩素（Ｃｌ$_2$）を用いたＴＣＰ（Transformer Coupled Plasma）による反応性イオンエッチングによって、線幅０．３５μｍにパターニングした。

【００３６】次に、図３（ｄ）に示したように、ゲート電極１４の一方をフォトレジスト２３で被覆し、ソース領域形成領域１６ａに、リン（Ｐ）を加速エネルギー２０ｋｅＶ程度、ドーズ５×10^{14}ｃｍ$^{-2}$程度で、砒素（Ａｓ）を加速エネルギー３０ｋｅＶ程度、ドーズ５×10^{15}ｃｍ$^{-2}$程度でイオン注入した。なお、埋め込み酸化膜１１やゲート絶縁膜１３は、ＳＯＩ基板の帯電によって容易に絶縁破壊するので、ビーム電流は１ｍＡ以下で使用し、ＰＦＧ（Plasma Flood Gun）によって帯電を中和する電子をＳＯＩ基板に供給しながらイオン注入を行った。

【００３７】続いて、図３（ｅ）に示したように、フォトレジスト２３を酸素プラズマによるアッシングで除去し、窒素（Ｎ$_2$）雰囲気の拡散炉で７００℃、１時間の低温アニールを行った。このアニールによって、リン（Ｐ）は、砒素（Ａｓ）注入でソース領域１６下部に大量に発生した空孔と格子間シリコンと相互作用しながら、増速拡散を引き起こす。格子間シリコンは、埋め込み酸化膜１１に接したソース領域１６の下部に過剰に発生しているので、リン（Ｐ）の増速拡散は、ソース領域１６下方からドレイン領域に向かって埋め込み酸化膜１１とボディ領域１２との界面に沿って進み、ボディ領域１２との界面にパイルアップすると同時に、ボディ領域１２との界面近傍の埋め込み酸化膜１１中に取り込まれ、拡張ソース領域１７が形成される。この拡張ソース領域１７の長さは、アニール時間によって容易に調整することができる。ここでは、１５０ｎｍ程度に調整した。

【００３８】次いで、図３（ｆ）に示したように、ソース領域１６をフォトレジスト２４で覆い、ドレイン領域形成領域１５ａに、砒素（Ａｓ）を加速エネルギー３０ｋｅＶ程度、ドーズ５×10^{15}ｃｍ$^{-2}$でイオン注入した。この際、埋め込み酸化膜１１やゲート絶縁膜１３は、ＳＯＩ基板の帯電によって容易に絶縁破壊するので、ビーム電流は１ｍＡ以下で使用し、ＰＦＧによって帯電を中和する電子をＳＯＩ基板に供給しながらイオン注入を行った。

【００３９】その後、図４（ｇ）に示したように、フォトレジスト２４を酸素プラズマによるアッシングで除去し、１０００℃でＲＴＡ（Rapid Thermal Anneal）を１０秒間行った。ＲＴＡは、窒素（Ｎ$_2$）雰囲気中で、昇

降温速度１００℃／ｍｉｎで行った。このアニールによってソース領域１６、ドレイン領域１５の砒素（Ａｓ）が電気的に活性化されると同時に、拡張された拡張ソース領域１７のリン（Ｐ）も電気的に活性化する。なお、この際のソース／ドレイン領域間の距離は、０．４μｍ程度に調整した。また、高速化が要求されるロジックデバイス等の場合には、ソース領域１６、ドレイン領域１５の抵抗を低くするために、この後、ソース領域１６及びドレイン領域１５の表面にチタン（Ｔｉ）やコバルト（Ｃｏ）を用いたシリサイド層を通常の方法で形成してもよい。

【００４０】次に、図４（ｈ）に示したように、ＴＥＯＳ（$\mathrm{Si(OCO_2H_5)_4}$）を反応ガスとして用いたプラズマＣＶＤ法でプラズマシリコン酸化膜１９を堆積し、ＣＭＰ（Chemical Mechanical Polishing ）でプラズマシリコン酸化膜１９を平坦化した。その後、通常のフォトリソグラフィと$\mathrm{C_2F_6}$をエッチングガスとして用いたＩＣＰ（Inductive Coupled Plasma）によるＲＩＥとによってコンタクトを開口し、ソース電極２１及びドレイン電極２０を形成し、本実施例のＭＯＳトランジスタを完成した。なお、本実施例によってＳＯＩ基板のボディ領域の厚さは７０ｎｍ程度であるため、この膜厚では、ＰＤ（Partially Depleted）モードの動作となる。

【００４１】

【発明の効果】本発明によれば、ソース領域が、埋め込み絶縁膜とボディ領域との界面に沿ってドレイン領域方向に延設された拡張ソース領域を備えるために、ソース領域とボディ領域との実効的な接触面積を増加させることができ、また、従来のＭＯＳトランジスタのようにソース領域に結晶欠陥層を含むものではないため、結晶欠陥によるジャンクションリークを増加させることなく、インパクトイオン化によって生じる正孔のボディ領域への蓄積をなくすことが可能になり、キンク現象等の基板バイアス効果を抑制することが可能となる。

【００４２】さらに、拡張ソース領域が、ソース領域の不純物濃度よりも低い不純物濃度で設定されてなる場合には、不純物の濃度差に起因する正孔の電位障壁が緩和＊＊されることとなり、ドレイン領域近傍でインパクトイオン化によって生じる正孔が、より多くソース領域に引き込まれることとなり、正孔の蓄積を解消することができ、基板バイアス効果を一層抑制することが可能となる。また、本発明のＭＯＳトランジスタの製造方法によれば、製造工程の複雑化を防止しながら、クロスコンタミネーション等の問題を解消することができ、歩留まりが向上し、製造コストの低減が可能となる。

【図面の簡単な説明】

【図１】本発明のＭＯＳトランジスタの実施例を示す要部の概略断面図である。

【図２】本発明のＭＯＳトランジスタの製造方法の実施例を示す要部の概略断面製造工程図である。

【図３】本発明のＭＯＳトランジスタの製造方法の実施例を示す要部の概略断面製造工程図である。

【図４】本発明のＭＯＳトランジスタの製造方法の実施例を示す要部の概略断面製造工程図である。

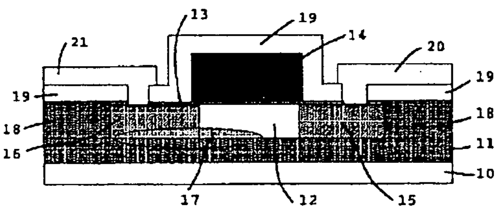
【図５】従来のＭＯＳトランジスタを示す要部の概略断面図である。

【図６】従来のＭＯＳトランジスタを示す要部の概略断面図である。

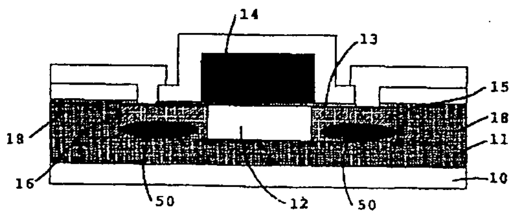
【符号の説明】

１０	シリコン基板（支持基板）
１１	埋め込み酸化膜
１２	ボディ領域
１３	ゲート絶縁膜
１４	ゲート電極
１５	ドレイン領域
１６	ソース領域
１７	拡張ソース領域
１８	素子分離膜
１９	プラズマシリコン酸化膜
２０	ドレイン電極
２１	ソース電極
２２	シリコン酸化膜
２３、２４	フォトレジスト

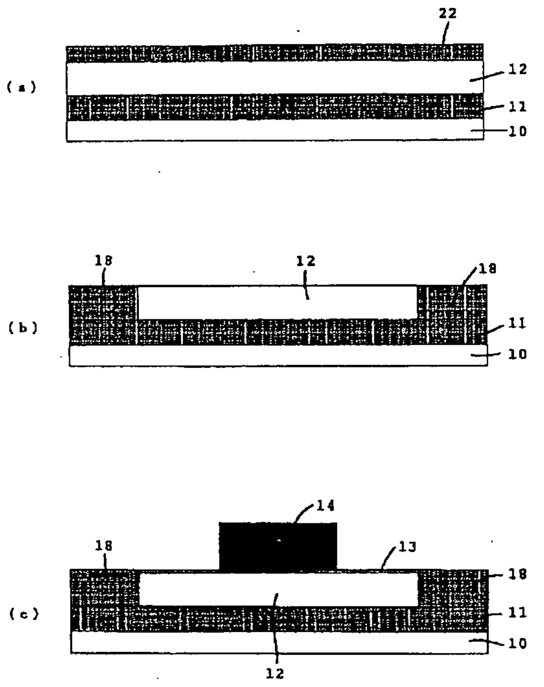
【図１】



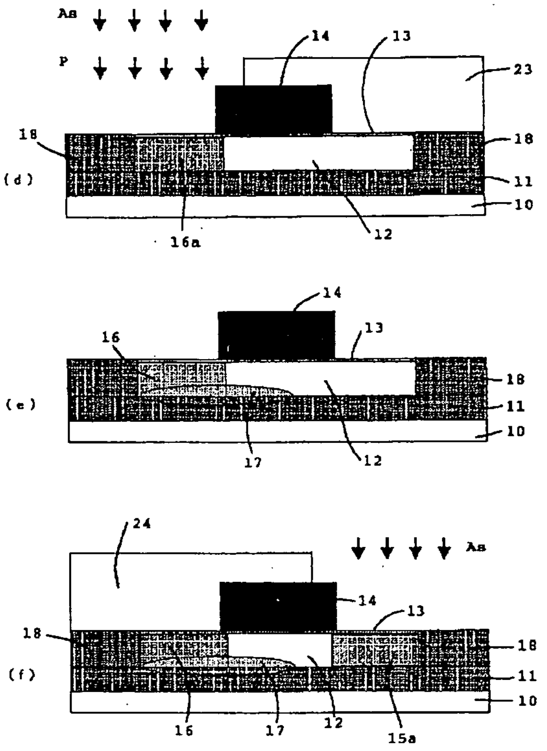
【図５】



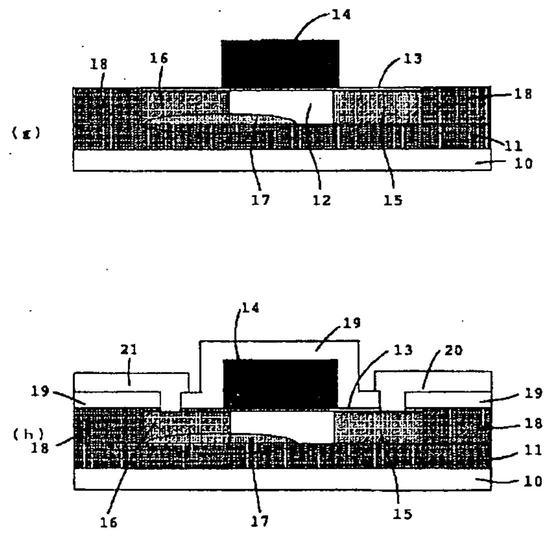
【図２】


(a)
(b)
(c)

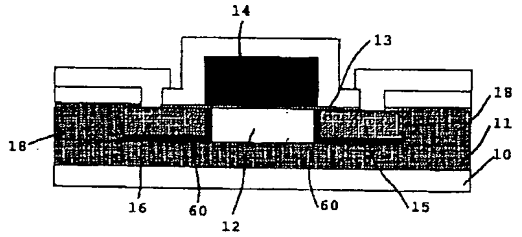
【図３】


As
P
(d)
(e)
As
(f)

【図４】


(g)
(h)

【図６】



フロントページの続き

Fターム(参考) 5F048 AC03 BA09 BA15 BB06 BC03
BC05 BC06 BD04 BF06 BG12
BG14
5F110 AA06 AA15 BB04 CC02 DD01
DD02 DD03 DD04 DD05 DD13
DD24 DD25 EE05 EE09 EE14
EE45 FF02 FF03 FF09 FF23
GG02 GG03 GG04 GG25 GG32
HJ01 HJ13 HJ23 HL05 HM02
HM12 HM15 NN02 NN23 NN33
NN62 NN66 QQ04 QQ17 QQ19